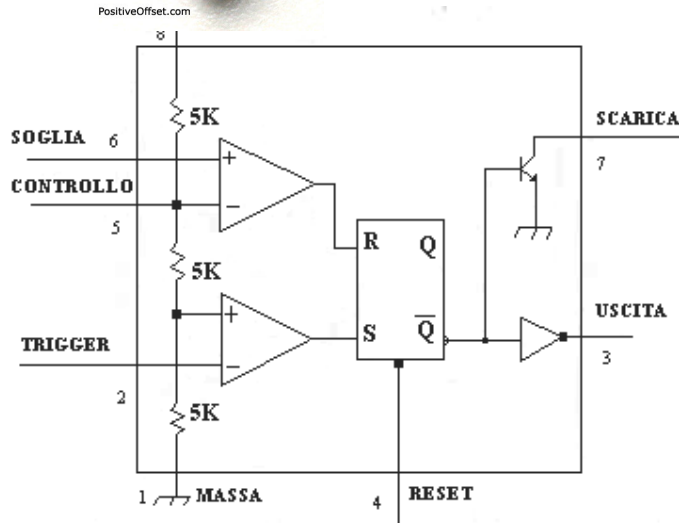


Il **timer 555** è un circuito integrato progettato allo scopo di fornire impulsi di durata prestabilita. In pratica il timer 555 è un temporizzatore.

Lo schema a blocchi del circuito integrato "Timer 555" è il seguente:



Possiamo notare tre resistori uguali da 5 KW , aventi lo scopo di dividere la tensione di alimentazione V_{cc} per avere due tensioni di riferimento multiple di $1/3$ di V_{cc} ; in fatti tra il resistore inferiore e massa, cioè sul morsetto non invertente del comparatore (operazionale) in basso, abbiamo una tensione pari a $1/3V_{cc}$ e tra il secondo resistore e massa, cioè sul morsetto invertente del comparatore in alto, abbiamo una tensione pari a $2/3V_{cc}$.

Il primo comparatore, quello superiore, è collegato con l'ingresso invertente a $2/3V_{cc}$, mentre l'ingresso non invertente è disponibile all'esterno (piedino 6) ed è chiamato soglia. In pratica quando la tensione sul piedino 6 è maggiore di $2/3V_{cc}$ l'uscita del primo comparatore si porta a livello logico alto (1); quando, invece, la tensione sul piedino 6 è inferiore a $2/3V_{cc}$ l'uscita del primo comparatore si porta a livello basso (0).

Il secondo comparatore , quello inferiore, è collegato con l'ingresso non invertente a $1/3V_{cc}$, mentre l'ingresso invertente è disponibile all'esterno (piedino 2) ed è chiamato trigger. In pratica quando la tensione sul piedino 2 è maggiore di $1/3V_{cc}$ l'uscita del secondo comparatore si porta a livello logico basso (0); quando, invece, la tensione sul piedino 2 è inferiore a $1/3V_{cc}$ l'uscita del secondo comparatore si porta a livello alto (1).

Le uscite dei due comparatori sono applicate in ingresso ad un latch di tipo S-R.

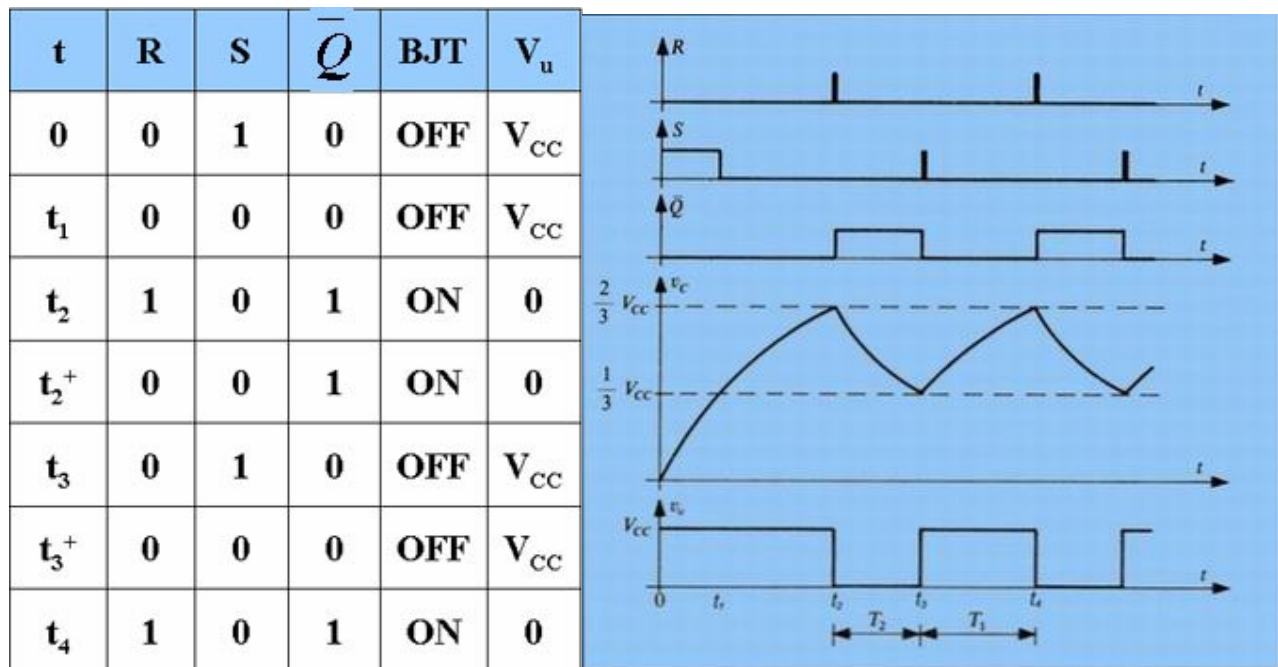
Il latch di tipo S-R è un circuito logico con due ingressi e due uscite. L'ingresso SET, posto a 1 obbliga l'uscita Q a portarsi a 1; l'ingresso RESET, quando si trova a livello logico 1, porta l'uscita Q a zero, cioè l'azzerà. La tabella di verità è la seguente:

SET	RESET	Q	/Q
0	0	Q	/Q
0	1	0	1
1	0	1	0
1	1	Indeterminato	Indeterminato

Nel timer 555 delle due uscite l'uscita Q non viene utilizzata, ma viene usata solo l'uscita Q negato (in effetti l'uscita al piedino 3 è vera). Se Q negato si trova a livello alto, manda in saturazione il transistor e quindi il piedino 7 viene collegato a massa, permettendo la scarica del condensatore, che di solito, viene applicato al piedino 7; se invece l'uscita Q negato si trova a livello basso il transistor è interdetto, quindi il piedino 7 si trova isolato da massa, permettendo la eventuale carica del condensatore. Sull'uscita Q negato è applicato un invertitore, che trasforma l'uscita Q negato in uscita Q, rendendo disponibile una elevata corrente in uscita.

Il timer 555 può essere utilizzato sia come multivibratore astabile, che come monostabile (e con qualche artificio anche come bistabile).

Forme d'onda istante per istante



Analisi del funzionamento all'istante $t=0$

L'analisi del funzionamento del circuito viene condotta considerando le diverse situazioni che possono presentarsi agli ingressi dei comparatori in modo da risalire allo stato del Flip-Flop, del transistor e, quindi, a quello dell'uscita V_u .

All'istante $t=0$ la condizione iniziale è la seguente:

R=0	S=1	$\bar{Q}=0$	BJT=OFF	$V_u=V_{CC}$
------------	------------	-------------------------------	----------------	--------------------------------

Infatti, essendo il condensatore inizialmente scarico, risulta:

$V_s = V_t = 0$ e quindi $R=0$ ed $S=1$, per cui $Q=0$ e quindi l'uscita V_u alta ed il transistor interdetto. A questo punto il condensatore inizia a caricarsi con legge esponenziale tendendo a $+V_{CC}$ con una costante di tempo $\tau_c = (R_A + R_B) C$.

Analisi all'istante $t=t_1$

All'istante t_1 la tensione v_c raggiunge il valore $V_{CC}/3$ provocando la commutazione del comparatore di trigger, per cui risulta $S = 0$; ma questa situazione (latch: $R=0, S=0$) non modifica né l'uscita del flip-flop, né lo stato del BJT né il valore di V_u che restano identici a quelli precedenti :

R=0	S=0	$\bar{Q}=0$	BJT=OFF	V_u=V_{cc}
------------	------------	-------------------------------	----------------	-------------------------------------

Analisi all'istante $t=t_2$

La tensione V_c continua a crescere finché, all'istante t_2 , $v_c = 2 V_{cc}/3$.

A questo istante anche l'uscita del comparatore di soglia cambia stato, $S=0$, e quindi il flip-flop si resetta a $Q=1$, pilotando il BJT in saturazione e l'uscita V_u a livello basso ($V_u=0$).

Il piedino 7, quindi, viene portato direttamente a massa e di conseguenza il condensatore interrompe la fase di carica a $2V_{cc} / 3$ e comincia a scaricarsi a massa attraverso la sola R_B con costante di tempo $t_{sc} = R_B C$.

R=0	S=0	$\bar{Q}=1$	BJT=ON	V_u=0
------------	------------	-------------------------------	---------------	------------------------

Analisi all'istante $t=t_{2+}$

La tensione v_c incomincia a diminuire, ma all'istante t_{2+} il comparatore di soglia commuta nuovamente perchè la tensione V_s risulta minore di $2V_{cc}/3$, facendo ritornare $R=0$ e quindi quella situazione che non modifica nè l'uscita del flip-flop, nè lo stato del BJT nè il valore di V_u :

R=0	S=0	$\bar{Q}=1$	BJT=ON	V_u=0
------------	------------	-------------------------------	---------------	------------------------

Analisi all'istante $t=t_3$

La tensione V_c continua a diminuire fino all'istante t_3 al quale risulta $v_c=V_{cc}/3$.

In questa situazione R ritorna uguale a zero, il BJT viene riportato in interdizione dall'uscita negata del Flip-Flop e l'uscita V_u commuta nuovamente portandosi V_{cc}

R=0	S=1	$\bar{Q}=0$	BJT=OFF	V_u=V_{cc}
------------	------------	-------------------------------	----------------	-------------------------------------

Analisi all'istante $t=t_{3+}$

Il condensatore ricomincia a ricaricarsi, ma all'istante t_{3+} il comparatore di trigger commuta nuovamente perchè la tensione V_t risulta maggiore di $V_{cc}/3$, facendo ritornare $S=0$ e quindi quella

situazione che non modifica nè l'uscita del flip-flop, nè lo stato del BJT nè il valore di V_u :

R=0	S=0	$\bar{Q}=0$	BJT=OFF	$V_u=V_{cc}$
------------	------------	-------------------------------	----------------	--------------------------------

Il condensatore continua una nuova fase di carica secondo le modalità esaminate in precedenza. Il ciclo di carica e scarica si ripete automaticamente generando il segnale di uscita V_u illustrato qualitativamente in figura.