

5.3.6 CONVERTITORE A DOPPIA RAMPA

Nelle applicazioni in cui il segnale da convertire è *lentamente variabile nel tempo*, si preferisce privilegiare la precisione rispetto alla rapidità di conversione. Il *convertitore a doppia rampa*, illustrato in Fig.5.12, garantisce un buon grado di precisione all'interno della famiglia dei convertitori ad integrazione.

Si analizza il funzionamento: al giungere di un impulso negativo (livello logico basso) di start sull'ingresso SOC, avviene l'inizializzazione del sistema, ossia:

- lo switch S_1 è posto nello stato ON, con la conseguente scarica del condensatore;
- le uscite del contatore e del flip-flop vengono azzerate e il commutatore S_2 connette l'ingresso V_i all'integratore.

Al termine dell'impulso di start, lo switch S_1 è posto in stato OFF ed ha inizio il processo di integrazione; il segnale V_o in uscita dall'integratore assume la forma di una *rampa negativa* (Fig.5.13).

Il comparatore mantiene la propria uscita nello stato logico alto, consentendo il passaggio dei fronti attivi del *segnale di clock*.

La *rampa decrescente* continua fino a che il contatore esaurisce la propria capacità di conteggio, azzerandosi automaticamente; il corrispondente abbassamento del bit più significativo d'uscita (b_{n-1}) aziona il *dispositivo bistabile*, provocando la commutazione dello switch S_2 .

Dopo un tempo determinato, indicato con t_1 in Fig.5.13, ha inizio l'integrazione della *tensione negativa* di riferimento V_R ; la rampa cambia pendenza e V_o cresce fino a raggiungere il potenziale di massa nell'istante $t_1 + t_2$.

L'uscita del comparatore, nell'istante suddetto, commuta al livello logico basso, impedendo il passaggio del segnale di clock attraverso la porta AND.

La configurazione binaria rimane pertanto stabile in uscita e rappresenta il risultato della conversione del segnale analogico d'ingresso.

Durante l'integrazione di V_R , il contatore *non deve esaurire la propria capacità di conteggio* che ne provocherebbe l'azzeramento. Per garantire che ciò non avvenga, deve essere verificata la seguente relazione:

$$|V_R| > V_i$$

Si determina ora il legame tra l'uscita digitale e l'ingresso analogico.

Rampa negativa:
$$V_o(t_1) = -\frac{1}{RC} \int_0^{t_1} V_i dt = -\frac{V_i}{RC} t_1 = -\frac{V_i T_1}{RC}$$

Rampa positiva:
$$V_o(t_1+t_2) = -\frac{1}{RC} \int_0^{t_2} V_R dt + V_o(t_1)$$

Applicando la condizione di fine conversione, si ricava la relazione tra le durate delle rampe:

$$V_o(t_1+t_2) = \frac{|V_R|}{RC} t_2 - \frac{V_i}{RC} t_1 = 0 \text{ V} \quad ; \quad t_2 = \frac{V_i}{|V_R|} t_1$$

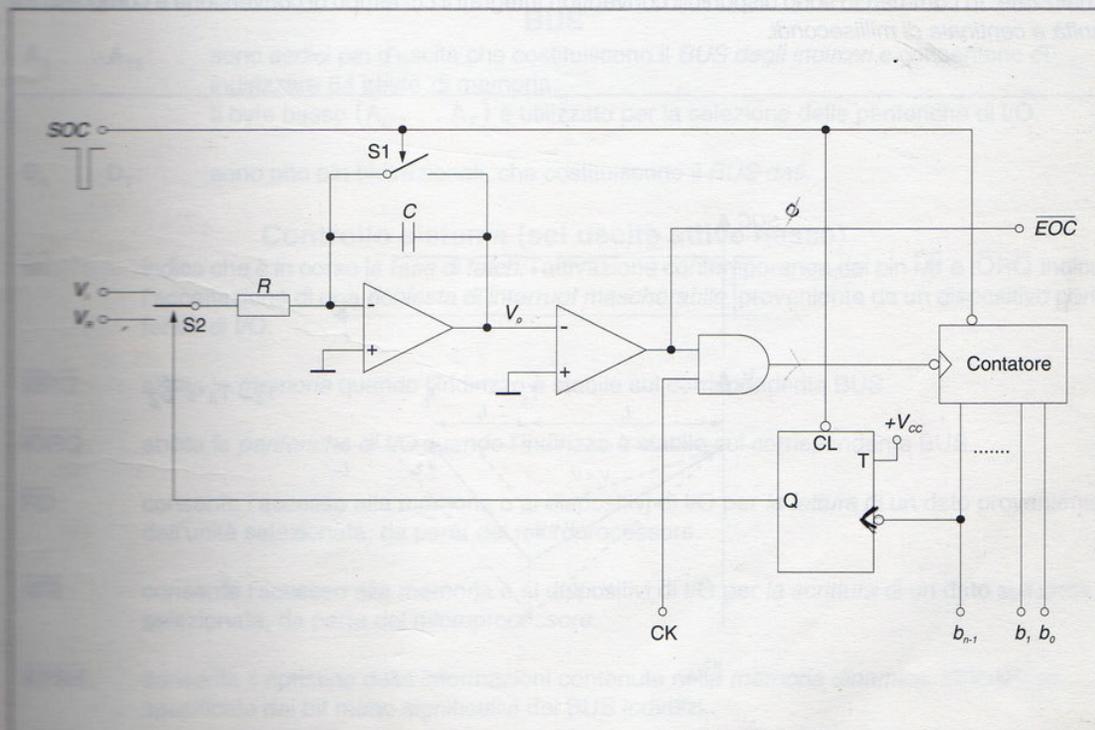


Fig.5.12 Schema elettrico del convertitore A/D a doppia rampa.

Indicando con:

- N_1 il numero degli impulsi contati nell'intervallo di tempo t_1
- N_2 il numero degli impulsi contati nell'intervallo di tempo t_2
- f_{ck} la frequenza degli impulsi di clock

si ricava: $N_1 \cdot T_{ck} = t_1$
 $N_2 \cdot T_{ck} = t_2$

$$N_1 = f_{ck} t_1 = 2^n \quad (5.1)$$

$$N_2 = f_{ck} t_2 \quad (5.2)$$

e pertanto

$$\frac{N_2}{f_{ck}} = \frac{N_1}{f_{ck}} \frac{V_i}{|V_R|} \quad \text{da cui si ottiene} \quad N_2 = \left[\frac{N_1}{|V_R|} V_i \right] \Rightarrow V_i = \frac{N_2}{N_1} \cdot V_R$$

Analizzando il risultato ottenuto, si nota che il numero degli impulsi contati non dipende nè della frequenza di clock, nè dalla costante di tempo RC dell'integratore; infatti eventuali imperfezioni dei suddetti parametri si riflettono in uguale misura su entrambe le rampe.

Il tempo di conversione è tuttavia molto alto rispetto alle tipologie di convertitori precedentemente analizzate. In commercio sono disponibili convertitori integrati il cui tempo di conversione è compreso tra *unità e centinaia di millisecondi*.

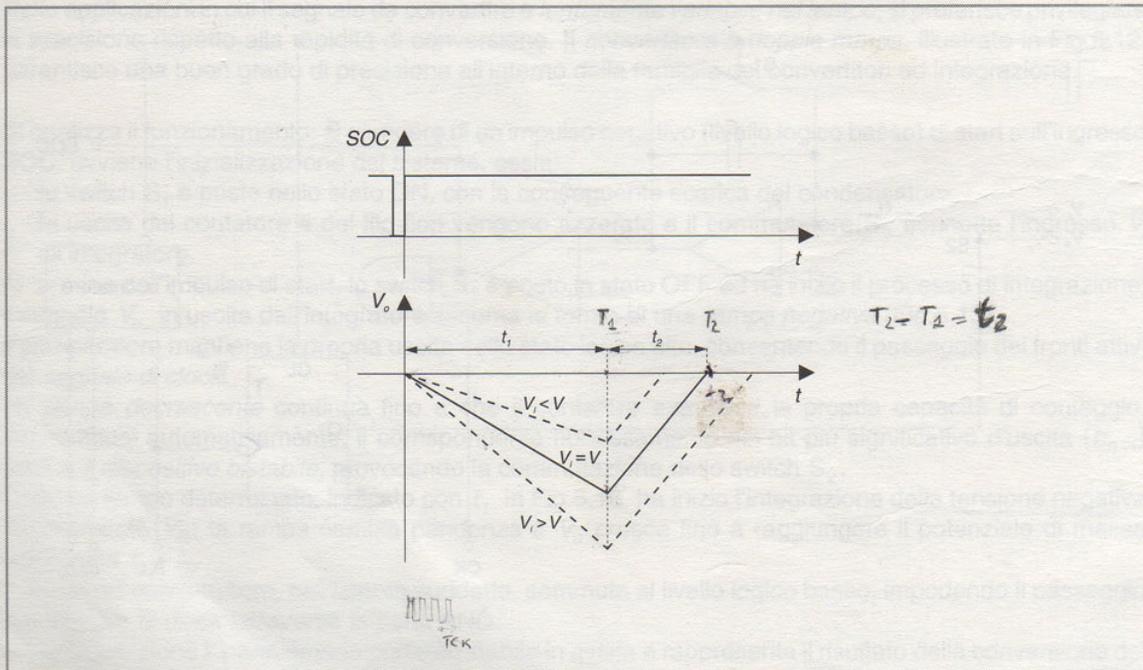


Fig.5.13 Andamento della tensione d'uscita dell'integratore presente nel convertitore a doppia rampa.