

5.3.5 CONVERTITORE AD APPROSSIMAZIONI SUCCESSIVE

Nella famiglia dei convertitori reazionati le migliori prestazioni in termini di velocità di conversione, a parità di risoluzione, sono fornite dal *convertitore ad approssimazioni successive*. La conversione avviene in tante fasi successive quanti sono i bit della parola digitale d'uscita.

Si analizza il funzionamento in riferimento al convertitore a quattro bit riportato in Fig.5.11.

Appena giunge il *comando di start* (SOC), l'unità di controllo inizializza il sistema e il registro SAR si pone nello stato iniziale "1 0 0 0".

Il DAC converte in un livello di tensione l'uscita digitale del SAR; il comparatore confronta la tensione da convertire con il livello analogico temporaneo V_o fornito dal DAC.

- Se $V_i > V_o$ l'uscita del comparatore è allo stato logico "1"; il registro SAR mantiene lo stato del bit b_3 e porta a "1" il bit b_2 ; la nuova situazione al termine della prima fase è pertanto: "1 1 0 0".
- Se $V_i < V_o$ l'uscita del comparatore è allo stato logico "0"; il registro SAR modifica lo stato del bit b_3 e porta a "1" il bit b_2 ; la nuova situazione al termine della prima fase è pertanto: "0 1 0 0".

Il processo si ripete quattro volte fino a che risulta stabile anche il *bit meno significativo* della parola digitale d'uscita; l'unità di controllo segnala all'esterno il termine della conversione, attivando il segnale EOC.

Esistono in commercio convertitori ad approssimazioni successive che offrono un'ampia gamma di prestazioni; di norma il tempo di conversione è dell'ordine delle *decine di microsecondi*.

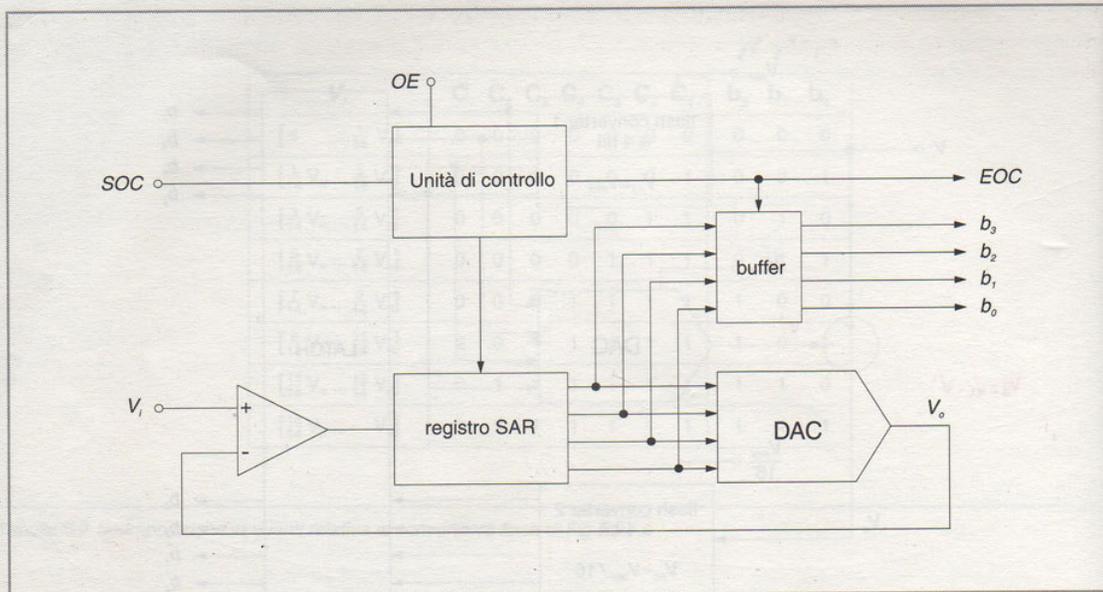


Fig.5.11 Convertitore A/D ad approssimazioni successive, con quattro bit d'uscita.