

5.3.2 FAMIGLIE DI CONVERTITORI A/D

In Fig.5.8 è riportato il simbolo grafico di un generico ADC, dove:

V_i	è il segnale analogico da convertire;
$b_{n-1} \dots b_0$	è la parola digitale d'uscita;
V_R	è la tensione costante di riferimento, il cui valore assoluto, normalmente, rappresenta il massimo valore della tensione d'ingresso convertibile;
SOC	è il segnale di <i>start of conversion</i> , la cui attivazione dà inizio alla conversione;
OE	è il segnale <i>output enable</i> , ovvero il pin di abilitazione del buffer d'uscita dell'ADC;
EOC	è il segnale <i>end of conversion</i> , la cui attivazione segnala all'esterno che la conversione del dato d'ingresso è terminata.

I convertitori A/D si distinguono in tre famiglie, ognuna delle quali sfrutta un diverso principio di funzionamento e pertanto una diversa architettura.

- **Convertitori parallelo:** il segnale analogico in ingresso viene confrontato con vari livelli di tensione, tramite dei comparatori; i livelli logici forniti dai comparatori vengono codificati nella parola digitale d'uscita. La conversione parallelo ha il vantaggio di fornire ottime prestazioni in termini di velocità di conversione; gli svantaggi sono legati al costo elevato e alla minor precisione rispetto alle altre famiglie di convertitori. A questa categoria di convertitori appartengono il *flash-converter* e l'*half flash-converter*.
- **Convertitori reazionati:** sono costituiti da un comparatore, da una rete logica e da un convertitore D/A, tra loro connessi in modo da formare un anello di reazione. Il convertitore D/A converte una parola digitale, fornita dalla rete logica interna, in un livello analogico, che viene confrontato con la tensione d'ingresso. L'evoluzione del processo è determinata dal risultato del confronto. Il convertitore reazionato che offre migliori prestazioni è il *convertitore ad approssimazioni successive* che, rispetto ai convertitori parallelo, è più preciso, meno costoso, ma decisamente più lento.
- **Convertitori ad integrazione:** la parola digitale fornita dal convertitore è il risultato di un conteggio di fronti attivi, provenienti da un generatore di clock, per un tempo proporzionale al valore della tensione d'ingresso. La famiglia dei convertitori ad integrazione, rispetto alle altre famiglie, ha il vantaggio di fornire le migliori prestazioni in termine di precisione; tuttavia il tempo di conversione molto elevato rende questi dispositivi adatti unicamente alla conversione di segnali lentamente variabili nel tempo. A questa categoria appartiene il *convertitore a doppia rampa*.

Indipendentemente dall'architettura scelta, tutti i convertitori A/D introducono un errore non eliminabile, legato alla inevitabile differenza tra un segnale analogico e un segnale digitale. Infatti una parola binaria è generata da una codifica; ne consegue che il numero di livelli distinti in uscita è senz'altro finito.

Contrariamente, un segnale analogico evolve con continuità nel tempo, assumendo pertanto infiniti livelli.

L'operazione di conversione analogico-digitale è legata al *processo di quantizzazione* che associa

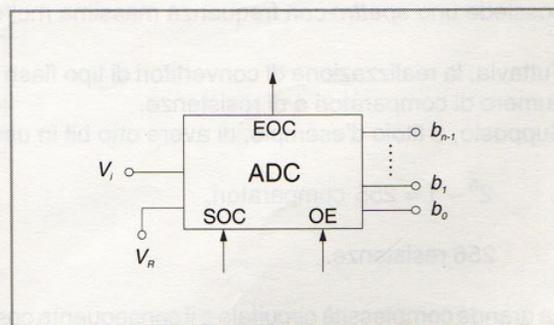


Fig.5.8 Simbolo di un generico convertitore A/D.

ad un'unica rappresentazione digitale un intervallo di valori analogici.

L'errore di quantizzazione diminuisce all'aumentare del numero di bit che formano la parola digitale d'uscita. Con una parola costituita da n bit, si distinguono 2^n livelli di quantizzazione; supponendo che il convertitore A/D converta segnali nell'intervallo:

$$[0 \dots V_{MAX}]$$

si determina l'ampiezza del quanto:

$$q = \frac{V_{MAX}}{2^n}$$

Nella tabella 5.1 è riportato un esempio di scomposizione in livelli nel caso in cui $V_{MAX} = 4$ V e $n = 3$. Si ricava:

$$q = 0.5 \text{ V}$$

L'errore introdotto dal processo di quantizzazione può essere ridotto aumentando il numero di bit della parola digitale d'uscita. Tuttavia, la diminuzione del quanto perde di significato pratico nel momento in cui l'ampiezza del rumore associato al segnale d'ingresso non è più trascurabile rispetto all'ampiezza del quanto stesso.

V_i (V)	b_2	b_1	b_0
[0 ... 0.25]	0	0	0
[0.25 ... 0.75]	0	0	1
[0.75 ... 1.25]	0	1	0
[1.25 ... 1.75]	0	1	1
[1.75 ... 2.25]	1	0	0
[2.25 ... 2.75]	1	0	1
[2.75 ... 3.25]	1	1	0
[3.25 ... 4]	1	1	1

Tabella 5.1 Esempio di scomposizioni in quanti.

5.3.3 CONVERTITORE FLASH

In Fig.5.9 è riportato lo schema di un *flash-converter* a tre bit d'uscita. Il funzionamento del convertitore è sintetizzato nella tabella 5.2, nella quale è evidenziata la ripartizione della tensione di riferimento, realizzata mediante una rete resistiva.

Il registro latch, comandato da un segnale di controllo, temporizza la conversione.

L'errore di conversione è inferiore a $\pm 1/2$ LSB.

Il tempo di conversione, stimabile in poche unità di ns, giustifica l'impiego del flash-converter nelle applicazioni in cui è richiesta la massima velocità di funzionamento, ossia quando il segnale da acquisire possiede uno spettro con frequenza massima molto elevata.

Tuttavia, la realizzazione di convertitori di tipo flash ad alta risoluzione impone l'impiego di un eccessivo numero di comparatori e di resistenze.

Supposto, a titolo d'esempio, di avere otto bit in uscita, sarebbero necessari:

$$2^8 - 1 = 255 \text{ comparatori};$$

256 resistenze.

La grande complessità circuitale e il conseguente costo elevato limitano di norma la lunghezza della parola digitale d'uscita.

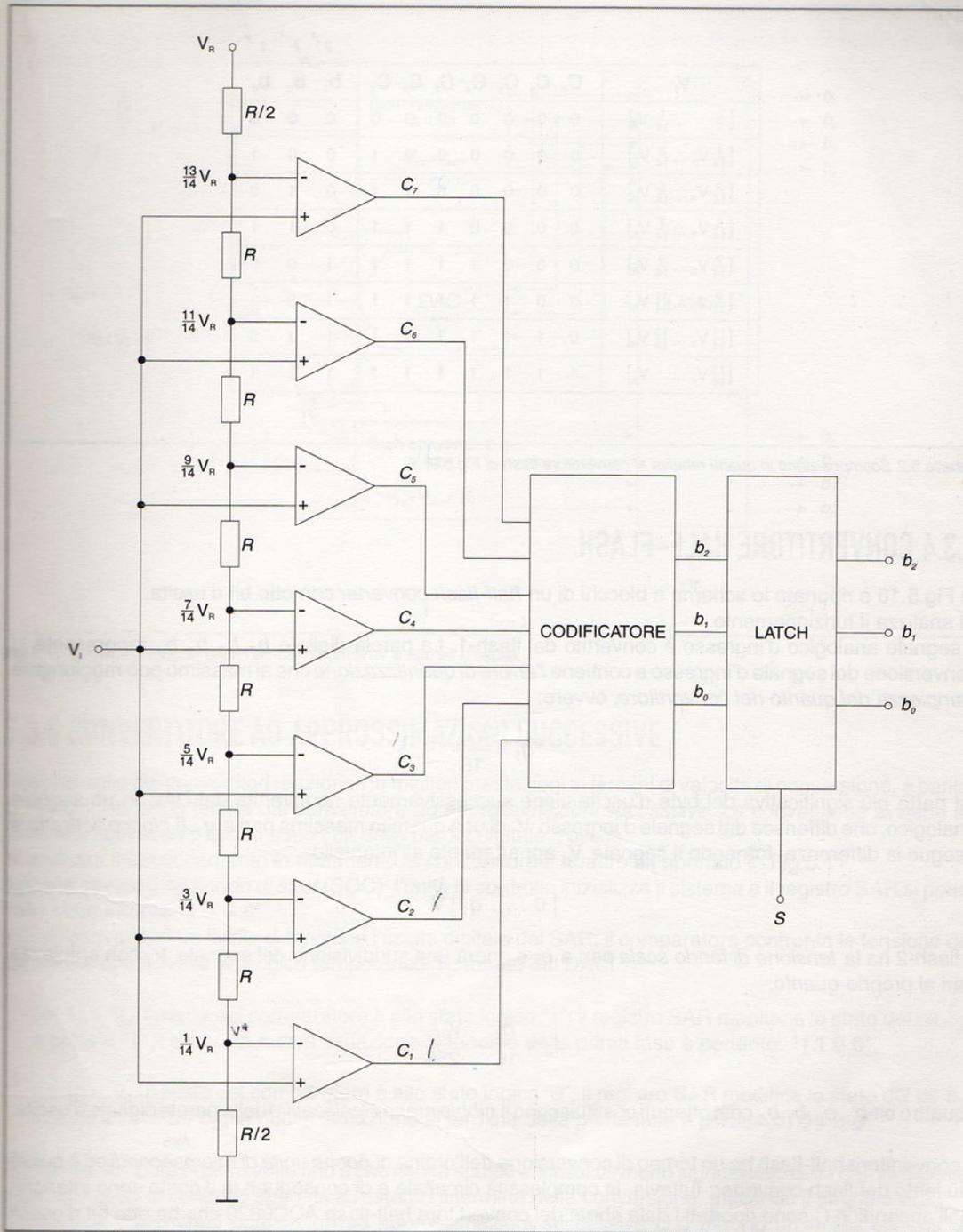


Fig.5.9 Schema elettrico del flash converter a tre bit d'uscita.

$$V = V_R \cdot \frac{1}{2^3} \cdot \frac{1}{2^k}$$

V_I	C_7	C_6	C_5	C_4	C_3	C_2	C_1	b_2	b_1	b_0
$[0 \dots \frac{1}{14} V_R]$	0	0	0	0	0	0	0	0	0	0
$[\frac{1}{14} V_R \dots \frac{3}{14} V_R]$	0	0	0	0	0	0	1	0	0	1
$[\frac{3}{14} V_R \dots \frac{5}{14} V_R]$	0	0	0	0	0	1	1	0	1	0
$[\frac{5}{14} V_R \dots \frac{7}{14} V_R]$	0	0	0	0	1	1	1	0	1	1
$[\frac{7}{14} V_R \dots \frac{9}{14} V_R]$	0	0	0	1	1	1	1	1	0	0
$[\frac{9}{14} V_R \dots \frac{11}{14} V_R]$	0	0	1	1	1	1	1	1	0	1
$[\frac{11}{14} V_R \dots \frac{13}{14} V_R]$	0	1	1	1	1	1	1	1	1	0
$[\frac{13}{14} V_R \dots V_R]$	1	1	1	1	1	1	1	1	1	1

Tabella 5.2 Scomposizione in quanti relativa al convertitore flash di Fig.5.9.

5.3.4 CONVERTITORE HALF-FLASH

In Fig.5.10 è riportato lo schema a blocchi di un *half-flash converter* con otto bit d'uscita. Si analizza il funzionamento.

Il segnale analogico d'ingresso è convertito dal flash-1. La parola digitale b_7, b_6, b_5, b_4 rappresenta la conversione del segnale d'ingresso e contiene l'errore di quantizzazione che al massimo può raggiungere l'ampiezza del quanto del convertitore, ovvero:

$$q_1 = \frac{V_{FS}}{16}$$

La parte più significativa del byte d'uscita viene successivamente riconvertita dal DAC in un segnale analogico, che differisce dal segnale d'ingresso V_I di una quantità massima pari a q_1 . Il blocco sottrattore esegue la differenza, fornendo il segnale V_d appartenente all'intervallo:

$$[0 \dots q_1] V$$

Il flash-2 ha la tensione di fondo scala pari a q_1 e opera una suddivisione del segnale V_d con ampiezza pari al proprio quanto:

$$q_2 = \frac{q_1}{16} = \frac{V_{REF}}{256}$$

I quattro bit b_3, b_2, b_1, b_0 così ottenuti costituiscono il *nibble meno significativo* della parola digitale d'uscita.

Il convertitore half-flash ha un tempo di conversione dell'ordine di *poche unità di ^{ms}microsecondi* ed è quindi più lento del flash converter; tuttavia, la complessità circuitale e di conseguenza il costo sono inferiori. Nell'appendice C sono riportati i data sheet del convertitore half-flash ADC0820 che ha otto bit d'uscita e un tempo di conversione $t_c = 1.5 \mu s$.

